

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-107628

(43)Date of publication of application : 24.04.1998

(51)Int.Cl.

H03L 7/18

H03J 5/02

H03L 7/093

(21)Application number : 08-277182

(71)Applicant : NEW JAPAN RADIO CO LTD

(22)Date of filing : 27.09.1996

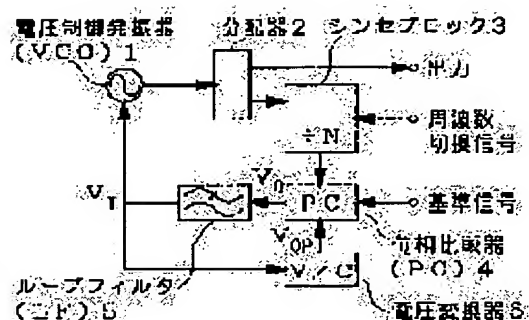
(72)Inventor : NAGAYA TETSUO

(54) FREQUENCY SYNTHESIZER

(57)Abstract:

PROBLEM TO BE SOLVED: To keep a natural angular frequency constant with it unchanged even when the output frequency of a synthesizer is changed by making the phase detection sensitivity of a phase comparator variable.

SOLUTION: The oscillating frequency of a voltage controlled oscillator 1 is inputted to a synthesizer block 3 which comprises variable frequency dividers and undergoes frequency conversion in an optional dividing frequency through a frequency switching signal, the frequency of an output signal from the block 3 is compared with a reference signal by a phase comparator 4, and a signal which converts the phase difference into a control voltage value through a loop filter 5 performs feedback control of the oscillator 1 so that the phases of both frequencies may coincide with each other. The synthesizer varies the phase detection sensitivity of the comparator 4. That is, the change of tuning voltage of the oscillator 1 is corresponded to from the outside of the comparator 4, and a voltage converter 6 controls the power voltage of the comparator 4 and interlocks phase detection sensitivity to a divided frequency of the block 3.



LEGAL STATUS

[Date of request for examination] 06.12.2002

[Date of sending the examiner's decision of rejection] 16.11.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-107628

(43) 公開日 平成10年(1998) 4月24日

(51) Int.Cl.⁸ 識別記号
 H 0 3 L 7/18
 H 0 3 J 5/02
 H 0 3 L 7/093

F I
 H 0 3 L 7/18 Z
 H 0 3 J 5/02 K
 H 0 3 L 7/08 E

審査請求 未請求 請求項の数 3 F D (全 5 頁)

(21) 出願番号 特願平8-277182

(22) 出願日 平成8年(1996) 9月27日

(71) 出願人 000191238

新日本無線株式会社

東京都中央区日本橋横山町3番10号

(72) 発明者 長屋 哲雄

埼玉県上福岡市福岡2丁目1番1号 新日

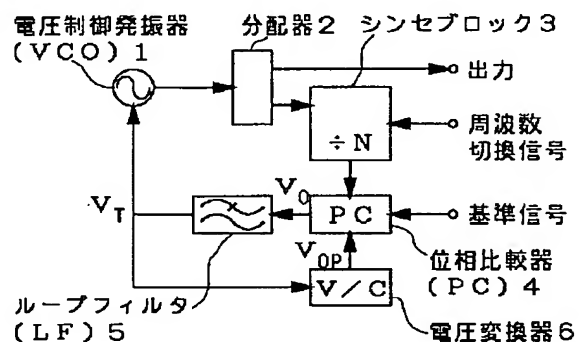
本無線株式会社川越製作所内

(54) 【発明の名称】 周波数シンセサイザ

(57) 【要約】

【課題】 従来からの周波数シンセサイザにおいては、出力周波数の変化に対して位相比較器の自然角周波数が変化するためループ帯域幅も変化し、その結果周波数シンセサイザの位相雑音を悪化させてしまうと言う問題点があった。この問題点を改良するためには出力周波数の変化に対して自然角周波数が変化せず一定に保持されることが必要である。

【解決手段】 位相比較器の外部より、電圧制御発振器のチューニング電圧の変化に対応して電圧変換器により位相比較器の電源電圧を制御し、これにより位相検波感度をシンセブロックの分周数に連動させ、結果として自然角周波数が変化せず一定に保持されるようにした。



【特許請求の範囲】

【請求項1】 電圧制御発振器（VCO）からの発振周波数を、可変分周器で構成され周波数切換信号により任意の分周数で周波数変換するシンセブロックに入力し、このシンセブロックからの出力信号の周波数を位相比較器（PC）で基準信号の周波数と比較し、両周波数の位相差がループフィルタを介して制御電圧値に変換された信号により両周波数の位相を一致させるように該電圧制御発振器（VCO）を帰還制御する周波数シンセサイザにおいて、上記位相比較器（PC）の位相検波感度を可変させるようにしたことを特徴とする周波数シンセサイザ。

【請求項2】 上記位相比較器（PC）の位相検波感度を該位相比較器（PC）の外部からの制御信号により可変させるようにしたことを特徴とする特許請求項1の周波数シンセサイザ。

【請求項3】 上記位相比較器（PC）の位相検波感度を上記電圧制御発振器（VCO）からの制御信号により可変させるようにしたことを特徴とする特許請求項1の周波数シンセサイザ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば多数の通信チャネルを有する通信機等に使用される周波数シンセサイザに関するものである。

【0002】

【従来の技術】PLL（Phase Locked Loop）回路において、ある基準とする高安定な信号に対して、特定の周波数関係にある高安定な出力信号を形成するものを周波数シンセサイザと言う。そこで従来からの代表的な周波数シンセサイザの構造を図4のブロック図に示し説明する。図4において、1は電圧制御発振器（以下“VCO”と略す）で電圧制御により任意の出力信号を発生させる。2は分配器でVCO1からの出力信号を次のシンセブロック3に分割している。3はプログラマブル可変分周器等で構成されているシンセブロックでVCO1からの出力信号を周波数切換信号により任意の分周数で周波数変換している。4は位相比較器（以下“PC”と略す）である。ここではシンセブロック3からの出力信号と外部からの基準信号とが乗算され、その結果これら2つの信号の角周波数の和からなる成分と、差からなる成分が生じる。このうち、和の成分は2倍の周波数を持つ高周波成分であるため次のループフィルタ5（以下“LF”と略す）によって除去され、差の成分が出力信号としてVCO1に帰還せしめられる。

【0003】上記のようなPLL回路においては、その回路系の定数はLF5のタイプにより決定される。一般に応用上、最も多く用いられるのが2次ループフィルタ、ラグ形不完全積分2次ループフィルタ、完全積分形2次

ループフィルタの3種類がある。このうち、よく用いられるアクティブ・フィルタを用いた完全積分形2次ループフィルタについて、図5のPLL回路と図6の開ループ特性によりみると以下の関係式が成立する。

$$\omega_c = 1 / \tau_1$$

$$\omega_k \equiv K = K_v \cdot \tau_1 / N \tau_1 \dots\dots\dots (1)$$

$$\xi = (1/2) \sqrt{(\omega_k / \omega_c)}$$

$$\omega_n = \sqrt{(\omega_k \omega_c)} = \omega_k / 2 \xi \dots\dots\dots (2)$$

ここで

$$\tau_1 = C R_1$$

$$\tau_2 = C R_2$$

K_v : 位相検波感度

K_v : VCO変調感度

N : 分周数

を表しており、そして、

$$\omega_k \equiv K : \text{PLL応答角周波数}$$

$$\xi : \text{ダンピング・ファクタ}$$

$$\omega_n : \text{自然角周波数}$$

を表している。そして上記の式（1）を式（2）に代入することにより、

$$\omega_n = K_v \cdot \tau_1 / 2 \xi N \tau_1$$

と表せる。さらに、 $\tau_1 = C R_1$ 、 $\tau_2 = C R_2$ を代入して、

$$\omega_n = (R_2 / R_1) K_v \cdot \tau_2 / 2 \xi N \dots\dots\dots (3)$$

と表せる。

【0004】上記の式（3）により、周波数シンセサイザにおいては分周数Nの変化により自然角周波数 ω_n が連動する構造を持っていることが分かる。そして自然角周波数 ω_n はPLL回路のループ帯域幅と比例する要因であり、基準信号とVCO1とのフリーランの位相雑音の切換点を決定する要因である。例えば今、上記の式（3）において分周数Nが大きくなったとすると、その他の定数が一定の場合自然角周波数 ω_n は小さくなる。すると図6から分かるように、自然角周波数 ω_n が小さくなればループ帯域幅は狭くなる。図7はこの状態を模式的に示したものである。即ちループ帯域幅が狭くなることにより基準信号とVCO1とのフリーランの位相雑音の切換点が切換点1より切換点2へと狭い方にシフトする。するとVCO1のフリーランの近傍の悪い位相雑音の影響を受けるようになり、その結果周波数シンセサイザ自体の位相雑音が悪化することになる。

【0005】

【発明が解決しようとする課題】ところがこのような従来からの構造においては、VCO1にて周波数シンセサイザの出力周波数fを変化させるとシンセブロック3の分周数Nもそれに応じて変化する。そして上記の式

（3）において分周数N以外の係数を一定とすると、自然角周波数 ω_n は分周数Nの変化に連動することが分かるから、結果として周波数シンセサイザの出力周波数fを変化させると自然角周波数 ω_n は連動することが分か

る。自然角周波数 ω_n が変化すればループ帯域幅が変化し、その結果周波数シンセサイザの出力の位相雑音を悪化させてしまう。即ちここにおいて、周波数シンセサイザの出力周波数 f を変化させた時、自然角周波数 ω_n が変化することが問題となるのである。この問題点を改良することが従来からの課題であった。そこで本発明はかかる問題点を解決するためになされたものであり、周波数シンセサイザの出力周波数 f を変化させても、即ちシンセブロック3において分周数 N が変化しても自然角周波数 ω_n は変化せず一定に保持されるように構成された周波数シンセサイザを提供することを目的としている。

【0006】

【課題を解決するための手段】そこで本発明では上記課題を以下に示す第一～第三の手段により解決した。まず第一に、VCO1からの発振周波数を、可変分周器で構成され周波数切換信号により任意の分周数で周波数変換するシンセブロック3に入力し、このシンセブロック3からの出力信号の周波数をPC4で基準信号の周波数と比較し、両周波数の位相差がLFF5を介して制御電圧値に変換された信号により両周波数の位相を一致させるようにVCO1を帰還制御する周波数シンセサイザにおいて、上記PC4の位相検波感度を可変させるよう構成した。

【0007】第二に、上記PC4の位相検波感度を該PC4の外部からの制御信号により可変させるように構成*

$$\begin{aligned} f_H \text{ の時: } \omega_{nH} &= (R_2 / R_1) (V_{oH} / 2\pi) K_v / 2 \xi N_H \\ &= (R_2 / R_1) (K_v / 4\pi \xi) V_{oH} / N_H \\ f_L \text{ の時: } \omega_{nL} &= (R_2 / R_1) (V_{oL} / 2\pi) K_v / 2 \xi N_L \\ &= (R_2 / R_1) (K_v / 4\pi \xi) V_{oL} / N_L \end{aligned}$$

のように各々表される。今問題なのは、自然角周波数 ω_n が変化することであるから、これが変化せずに一定であれば良いことになる。即ち、

$$\omega_{nH} = \omega_{nL}$$

であれば良い。故に、

$$(R_2 / R_1) (K_v / 4\pi \xi) V_{oH} / N_H = (R_2 / R_1) (K_v / 4\pi \xi) V_{oL} / N_L$$

$$V_{oH} / N_H = V_{oL} / N_L$$

従って、

$$V_{oH} / V_{oL} = N_H / N_L \dots\dots\dots (4)$$

となる。上記の式(4)は分周数 N の変化に比例して、PC4の位相検波ICの出力振幅 V_o が変化すると位相検波感度 K_v も同様に変化し、結果として自然角周波数 ω_n は常に一定となることを表している。そして自然角周波数 ω_n が一定に保持されるのであれば、“発明が解決しようとする課題”で指摘したような、“自然角周波数 ω_n が変化すればループ帯域幅が変化し、その結果周波数シンセサイザの出力の位相雑音を悪化させてしまう”ような現象を防止できる。

【0010】図2は上記の説明を模式的に示したものであり、周波数シンセサイザの出力周波数 f の $f_L \sim f_H$

*した。

【0008】第三に、上記PC4の位相検波感度を上記VCO1からの制御信号により可変させるよう構成した。

【0009】

【発明の実施の形態】以下に図1～図3により、上記の第一～第三の各手段による本発明の実施形態を示す。図1は本発明の一実施形態を示す周波数シンセサイザのブロック図であり、図4の従来からの代表的な周波数シンセサイザの構造に電圧変換器6が追加された構造をしている。そこで今、上記の式(3)を考察するために、周波数シンセサイザの出力周波数 f と分周数 N と自然角周波数 ω_n について、

最高周波数 f_H : 分周数 N_H : 自然角周波数 ω_{nH}

最低周波数 f_L : 分周数 N_L : 自然角周波数 ω_{nL}

のように対応しているとする。さらに、位相検波感度 K_v については、

$$K_v = V_o / 2\pi$$

V_o : PC4の位相検波ICの出力振幅

と表されるから、

$$\text{最高周波数 } f_H : K_v = V_{oH} / 2\pi$$

$$\text{最低周波数 } f_L : K_v = V_{oL} / 2\pi$$

のように対応しているとする。すると、上記の式(3)は、

30 の変化に対して、分周数 N の $N_L \sim N_H$ が対応し、さらにその分周数 N の $N_L \sim N_H$ の変化に対して、PC4の位相検波ICの出力振幅 V_o 即ち位相検波感度 K_v の $V_{oL} \sim V_{oH}$ が対応していることを表している。このように位相検波感度 K_v が変化すれば良いのであるが、PC4の位相検波ICの出力振幅 V_o はPC4に印加される電源電圧によって決定されるのであるから、図1に示されているように、VCO1のチューニング電圧 V_T に対応して電圧変換器6によりPC4に印加される電源電圧 V_{op} を制御すれば良いことになる。図3はその様子を模式的に示したものであり、VCO1のチューニング電圧 V_T の変化即ち周波数シンセサイザの出力周波数 f の $f_L \sim f_H$ の変化に対して、PC4の位相検波ICの出力振幅 V_o の $V_{oL} \sim V_{oH}$ が対応するようにPC4に印加される電源電圧 V_{op} を制御すれば良いことになる。

【0011】

【発明の効果】以上説明したように、本発明の周波数シンセサイザにおいては周波数シンセサイザの出力周波数 f が変化しシンセブロックの分周数 N が変化しても、自然角周波数 ω_n は一定に保持されるために、ループ帯域幅が変化せず、従って周波数シンセサイザの出力の位相

雑音を悪化させないと言う効果がある。

【図面の簡単な説明】

【図1】本発明の周波数シンセサイザの代表的構成を示すブロック図である。

【図2】図1の周波数シンセサイザの出力信号の特性を示す図である。

【図3】図1の電圧変換器の特性を示す図である。

【図4】従来からの周波数シンセサイザの代表的構成を示すブロック図である。

【図5】従来からの周波数シンセサイザのPLL回路を示すブロック図である。

10

*

*【図6】従来からの周波数シンセサイザのPLL開ループ特性図である。

【図7】従来からの周波数シンセサイザのループフィルタの帯域幅図である。

【符号の説明】

1……電圧制御発振器(VCO)

2……分配器

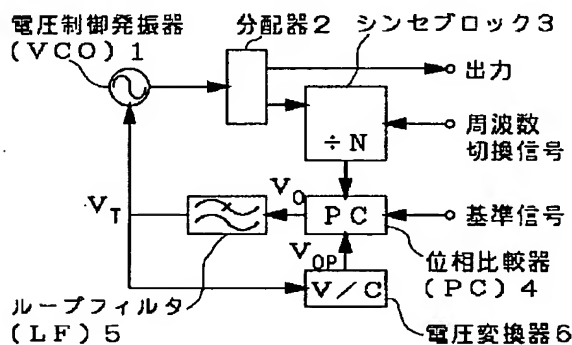
3……シンセブロック

4……位相比較器(PC)

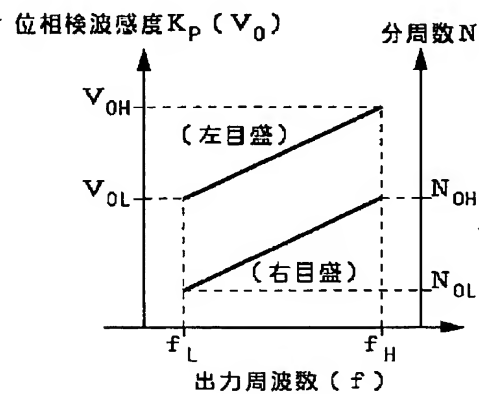
5……ループフィルタ(LF)

6……電圧変換器

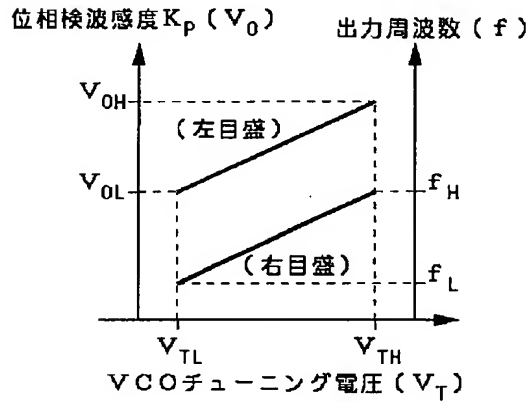
【図1】



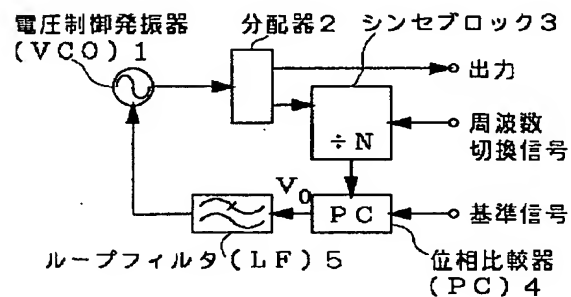
【図2】



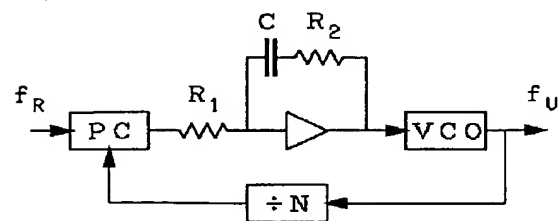
【図3】



【図4】



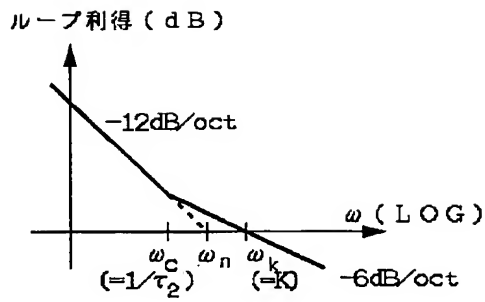
【図5】



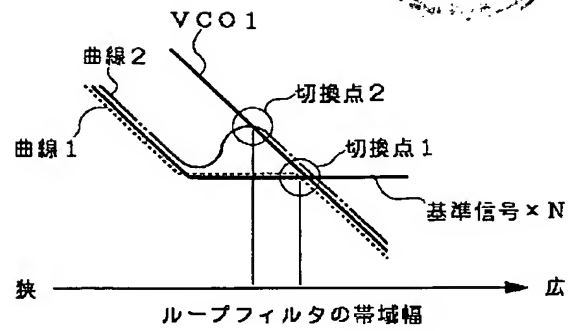
(5)

特開平10-107628

【図6】



【図7】



曲線1：シンセサイザ出力の通常の位相雑音

曲線2：シンセサイザ出力の狭帯域での位相雑音